

IMAGE SENSOR

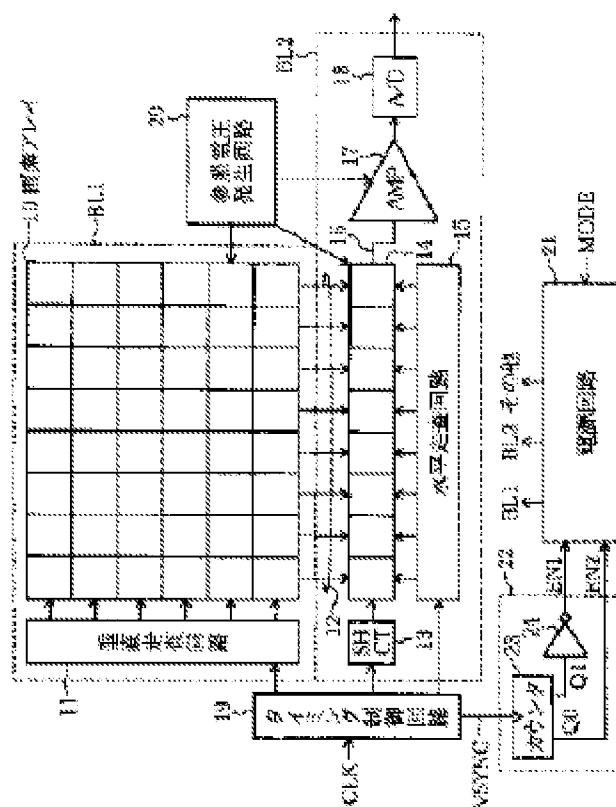
Publication number: JP2001285723
Publication date: 2001-10-12
Inventor: YAMAMOTO KATSUYOSHI; FUNAKOSHI JUN
Applicant: FUJITSU LTD
Classification:
 - international: **H04N5/335; H04N5/335;** (IPC1-7): H04N5/335
 - European:
Application number: JP20000092971 20000328
Priority number(s): JP20000092971 20000328

Report a data error here

Abstract of JP2001285723

PROBLEM TO BE SOLVED: To reduce power consumption for frame rate reduction in the case of lowering a frame rate. **SOLUTION:** A block BL1 is provided with a photodetector array 10 and a vertical scanning circuit 11 and the block BL2 is provided with a sample-and-hold circuit 14, a horizontal scanning circuit 15, an amplifier circuit 17 and an A/D conversion circuit 18. At the time of a low power consumption mode, a power source control circuit 22 provided with a ternary counter 23 makes a power source circuit 21 stop power supply to the block BL2 to make the photodetector array 10 perform optical integration for one frame period in an optical integration period, operate the blocks BL1 and BL2 to read optical integration signals for one frame period in a read period, stop the power supply to the blocks BL1 and BL2 for one frame period in a power off period and cyclically repeat the three periods.

本発明の第1実施形態の2次元イメージセンサの概略ブロック図



Data supplied from the **esp@cenet** database - Worldwide

Family list**10** family members for: **JP2001285723**

Derived from 6 applications

[Back to JP2001285723](#)

- 1 **Image sensor with black level control and low power consumption**
 Inventor: YAMAMOTO KATSUYOSI (JP); FUNAKOSHI Applicant: FUJITSU LTD (JP)
 JUN (JP)
 EC: H04N3/15E6; H04N5/217S3 IPC: **H04N3/15; H04N5/217; H04N3/15** (+3)
 Publication Info: **EP1143706 A2** - 2001-10-10
EP1143706 A3 - 2007-08-01
- 2 **IMAGE SENSOR**
 Inventor: YAMAMOTO KATSUYOSHI; FUNAKOSHI Applicant: FUJITSU LTD
 JUN
 EC: IPC: **H01L27/146; H04N1/028; H04N1/19** (+9)
 Publication Info: **JP3827502B2 B2** - 2006-09-27
JP2001285572 A - 2001-10-12
- 3 **IMAGE SENSOR**
 Inventor: YAMAMOTO KATSUYOSHI; FUNAKOSHI Applicant: FUJITSU LTD
 JUN
 EC: IPC: **H04N5/335; H04N5/335**; (IPC1-7):
 H04N5/335
 Publication Info: **JP3904366B2 B2** - 2007-04-11
JP2001285723 A - 2001-10-12
- 4 **IMAGE SENSOR WITH STABILIZED BLACK LEVEL AND LOW POWER CONSUMPTION**
 Inventor: FUNAKOSHI JUN; YAMAMOTO KATSUYOSHI Applicant: FUJITSU LTD
 KATSUYOSHI
 EC: H04N3/15E6; H04N5/217S3 IPC: **H04N3/15; H04N5/217; H04N3/15** (+2)
 Publication Info: **KR20010093686 A** - 2001-10-29
- 5 **Image sensor with stablized black level and low power consumption**
 Inventor: YAMAMOTO KATSUYOSI (JP); FUNAKOSHI Applicant: FUJITSU LTD (US)
 JUN (JP)
 EC: H04N3/15E6; H04N5/217S3 IPC: **H04N3/15; H04N5/217; H04N3/15** (+2)
 Publication Info: **US7098950 B2** - 2006-08-29
US2001028392 A1 - 2001-10-11
- 6 **Image sensor with stabilized black level and low power consumption**
 Inventor: YAMAMOTO KATSUYOSI (JP); FUNAKOSHI Applicant: FUJITSU LTD
 JUN (JP)
 EC: H04N3/15E6; H04N5/217S3 IPC: **H04N5/335; H04N3/15; H04N5/217** (+3)
 Publication Info: **US2006250513 A1** - 2006-11-09

~~~~~  
 Data supplied from the **esp@cenet** database - Worldwide



## 【特許請求の範囲】

【請求項1】 受光素子を含む画素が2次的に配列された画素アレイと、  
該画素アレイを走査して画素から光積分信号を読み出させる読み出し回路と、  
制御回路とを有し、該制御回路は、  
該読み出し回路への電源供給を停止させて該画素アレイに光積分を行わせる光積分期間と、  
該読み出し回路を動作させて該光積分信号を読み出させる読み出し期間と、  
該画素アレイ及び該読み出し回路への電源供給を停止させるパワーオフ期間と、  
を繰り返すことを特徴とするイメージセンサ。

【請求項2】 受光素子を含む画素が2次的に配列された画素アレイと、  
該画素アレイを垂直走査する垂直走査回路と、  
該垂直走査により選択されている画素行の光積分信号をサンプリングして保持するサンプルホールド回路と、  
該サンプルホールド回路を水平走査する水平走査回路と、  
該水平走査により該サンプルホールド回路から読み出された信号を増幅する増幅回路と、  
制御回路とを有し、該制御回路は、  
該サンプルホールド回路及び該水平走査回路への電源供給を停止させて画素アレイに光積分を1フレーム期間以上行わせる光積分期間と、  
該垂直走査回路、該サンプルホールド回路及び該水平走査回路を動作させて光積分信号を1フレーム期間読み出させる読み出し期間と、  
該画素アレイ、該垂直走査回路、該サンプルホールド回路、該水平走査回路及び該増幅回路への電源供給を1フレーム期間以上停止させるパワーオフ期間と、  
を繰り返すことを特徴とするイメージセンサ。

【請求項3】 受光素子を含む画素が2次的に配列された画素アレイと、  
該画素アレイを走査して画素から光積分信号を読み出させる読み出し回路と、  
制御回路とを有し、該制御回路は、  
該読み出し回路への電源供給を停止して該画素アレイに光積分を行わせる光積分期間と、  
該読み出し回路を動作させて該光積分信号を読み出させる読み出し期間と、  
を繰り返すことを特徴とするイメージセンサ。

【請求項4】 受光素子を含む画素が2次的に配列された画素アレイと、  
該画素アレイを垂直走査する垂直走査回路と、  
該垂直走査により選択されている画素行の光積分信号をサンプリングして保持するサンプルホールド回路と、  
該サンプルホールド回路を水平走査する水平走査回路と、

該水平走査により該サンプルホールド回路から読み出された信号を増幅する増幅回路と、  
制御回路とを有し、該制御回路は、  
該サンプルホールド回路及び該水平走査回路への電源供給を停止させて画素アレイに光積分を所定のフレーム期間行わせる光積分期間と、  
該垂直走査回路、該サンプルホールド回路及び該水平走査回路を動作させて光積分信号を1フレーム期間読み出させる読み出し期間と、  
を繰り返すことを特徴とするイメージセンサ。

【請求項5】 受光素子を含む画素が2次的に配列された画素アレイと、  
該画素アレイを垂直走査する垂直走査回路と、  
該垂直走査により選択されている画素行の光積分信号をサンプリングして保持するサンプルホールド回路と、  
該サンプルホールド回路を水平走査する水平走査回路と、  
該水平走査により該サンプルホールド回路から読み出された信号を増幅する増幅回路と、  
制御回路とを有し、該制御回路は、  
該サンプルホールド回路及び該水平走査回路への電源供給を停止させて画素アレイに光積分を1フレーム期間行わせる光積分期間と、  
該垂直走査回路、該サンプルホールド回路及び該水平走査回路を動作させて光積分信号を所定のフレーム期間以上読み出させる読み出し期間と、  
を繰り返すことを特徴とするイメージセンサ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低消費電力モードを有する動画撮像用イメージセンサに関する。

【0002】

【従来の技術】携帯装置に用いられるイメージセンサでは、消費電力の低減化が要求されている。

【0003】半導体チップの消費電力低減化には、次のような方法がある。

【0004】(1)動作不要期間において、動作クロックを停止させる。

【0005】(2)分周器でクロック周波数を $1/2$ 、 $1/4$ 又は $1/8$ 等に低下させる。

【0006】しかし、イメージセンサのチップは、アナログ回路とデジタル回路とを備え、デジタル回路の消費電力に対するアナログ回路のその比が大きいので、このような方法では動画を撮像する場合のイメージセンサの消費電力を大きく低減することができない。

【0007】アナログ回路の電源をオン/オフ制御すると、オフの影響が1フレーム後に出るので、電源を単純にオフにすることはできない。

【0008】

【発明が解決しようとする課題】他方、試写体の変化が

緩やかである場合や試し撮り等においては、必ずしも全コマ撮像する必要がないので、フレームレートを落としてその分だけ低消費電力化したい。

【0009】本発明の目的は、このような点に着目し、フレームレートを落とした場合に内部回路用電源のオン／オフ制御を細かく行なうことによりフレームレート削減分だけ低消費電力化することが可能なイメージセンサを提供することにある。

【0010】

【課題を解決するための手段及びその作用効果】本発明によるイメージセンサでは、受光素子を含む画素が2次元的に配列された画素アレイと、該画素アレイを走査して画素から光積分信号を読み出させる読み出し回路と、制御回路とを有し、該制御回路は、該読み出し回路への電源供給を停止させて該画素アレイに光積分を行わせる光積分期間と、該読み出し回路を動作させて該光積分信号を読み出させる読み出し期間と、該画素アレイ及び該読み出し回路への電源供給を停止させるパワーオフ期間とを繰り返す。

【0011】このイメージセンサによれば、光積分期間において読み出し回路への電源供給が停止し、さらに、パワーオフ期間において画素アレイ及び読み出し回路への電源供給が停止するので、ほぼフレームレート削減分だけイメージセンサを低消費電力化することが可能である。換言すれば、従来、光積分と読み出しとが並列動作していたものを、上記のように時分割でオン／オフ制御するので、低消費電力化が効果的に達成される。

【0012】本発明による他のイメージセンサでは、受光素子を含む画素が2次元的に配列された画素アレイと、該画素アレイを走査して画素から光積分信号を読み出させる読み出し回路と、制御回路とを有し、該制御回路は、該読み出し回路への電源供給を停止して該画素アレイに光積分を行わせる光積分期間と、該読み出し回路を動作させて該光積分信号を読み出させる読み出し期間とを繰り返す。

【0013】このイメージセンサによれば、光積分期間において読み出し回路への電源供給が停止するので、ほぼフレームレート削減分だけイメージセンサを低消費電力化することが可能である。

【0014】本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

【0016】〔第1実施形態〕図1は、本発明の第1実施形態の2次元イメージセンサの概略ブロック図である。2次元イメージセンサは、例えばMOS型である。

【0017】画素アレイ10は、行及び列に配列された画素（例えばホトダイオード、該ホトダイオードの一端に接続された電位リセット用トランジスタスイッチ、該

ホトダイオードの該一端と垂直バスラインの間に直列接続されたバッファアンプ及び読み出し用トランジスタスイッチ）を備えている。垂直走査回路11は、画素アレイ10を線（行）順次に走査する。これにより、選択された行の受光素子に光積分された信号が垂直バス12上に読み出される（垂直読み出し）。垂直バス12上の信号は、サンプルホールド制御回路13からの制御信号にตอบสนองして、サンプルホールド回路14に保持される。選択された行の受光素子がリセットされて、この行の光積分が開始される。

【0018】サンプルホールド回路14は例えば、相関2重サンプリング回路（CDS）であり、この場合、光積分信号の読み出し及び保持の詳細は次の通りである。サンプルホールド回路がリセットされ、第1回サンプリングにより（光積分信号 $V_x$ ）+（フォトダイオードに結合されたトランジスタの特性のばらつきに依存した成分 $\Delta V$ ）の電圧がサンプルホールド回路14にサンプリングされ、次いで選択行の受光素子がリセットされ、次いで第2回サンプリングにより、 $V_x + \Delta V$ と $\Delta V$ の差である光積分信号電圧 $V_x$ がサンプルホールド回路14に保持される。

【0019】水平走査回路15はサンプルホールド回路14を点順次に走査する。これにより、選択されたサンプルホールド回路の出力信号が水平バス16上に読み出される（水平読み出し）。水平バス16上の信号は、増幅回路17で増幅された後、A/D変換回路18でデジタル値に変換される。

【0020】タイミング制御回路19は、クロックCLKに基づいて、垂直走査回路11、サンプルホールド制御回路13及び水平走査回路15を動作させるための制御信号を生成する。参照電圧発生回路20は、画素アレイ10にリセット電圧を供給し、サンプルホールド回路14及び増幅回路17に参照電圧を供給する。この参照電圧発生回路20は、電源回路21の一部である。

【0021】電源回路21にはモード信号MODEが供給され、モード信号MODEが通常モードを示している時には、電源回路21は各回路へ電源電圧を常時供給する。モード信号MODEが低消費電力モードを示している時には、電源回路21は、電源制御回路22からのイネーブル信号EN1が活性である期間、ブロックBL1に電源電圧を供給し、イネーブル信号EN1が不活性の期間、この供給を停止し、電源制御回路22からのイネーブル信号EN2が活性である期間、ブロックBL2に電源電圧を供給し、イネーブル信号EN2が不活性の期間、この供給を停止する。

【0022】ブロックBL1は、画素アレイ10と垂直走査回路11とを含む。ブロックBL2は、サンプルホールド制御回路13と、サンプルホールド回路14と、水平走査回路15と、増幅回路17と、A/D変換回路18とを含む。

【0023】電源回路21は、低消費電力モードであっても、タイミング制御回路19及び電源制御回路22には電源電圧を常時供給する。

【0024】参照電圧発生回路20は電源回路21の一部であるので、電源回路21がブロックBL1に電源電圧を供給する時には、参照電圧発生回路20は画素アレイ10にリセット電圧を供給し、電源回路21がブロックBL2に電源電圧を供給する時には、参照電圧発生回路20はサンプルホールド回路14にリセット電圧を供給するとともに、増幅回路17に参照電圧を供給する。

【0025】電源制御回路22では、3進カウンタ23のクロック入力端にタイミング制御回路19から垂直同期信号VSYNCが供給され、カウンタ23の出力の下位ビットQ0がイネーブル信号EN2であり、カウンタ23の出力の上位ビットQ1をインバータ24で反転したものがイネーブル信号EN1である。カウンタ23は、カウント0、1及び2をサイクリックに出力し、カウントが0及び1のときイネーブル信号EN1が高レベルとなり、カウントが1のときイネーブル信号EN2が高レベルとなる。

【0026】図2は、図1中の電源制御回路22の動作を示すタイムチャートである。

【0027】次に、上記の如く構成されたイメージセンサの動作を、低消費電力モードの場合について説明する。

【0028】初期状態では、カウンタ23のカウントが2であるとする。この状態では、ブロックBL1及びBL2には電源電圧が供給されていない。

【0029】（光積分期間）垂直同期信号VSYNCの立ち上がりに応答してカウンタ23のカウントが0になり、イネーブル信号EN1が高レベルに遷移してブロックBL1に電源電圧が供給される。

【0030】垂直走査回路11は、タイミング制御回路19からの制御信号に応答して、垂直走査を行なう。これにより、上述の垂直読み出し及びリセットが線順次に行なわれる。ブロックBL2には電源電圧が供給されていないので、その電力消費は生じない。

【0031】（読み出し期間）垂直同期信号VSYNCの立ち上がりに応答してカウンタ23のカウントが1になり、EN2が高レベルに遷移してブロックBL2にも電源電圧が供給される。

【0032】ブロックBL1では垂直読み出し及びリセットが線順次に行なわれ、ブロックBL2ではサンプルホールド回路14に1行分の信号が保持される毎に、上記水平読み出しが行われる。

【0033】すなわち、この読み出し期間での動作は、通常モードでのそれと同じである。

【0034】（パワーオフ期間）垂直同期信号VSYNCの立ち上がりに応答してカウンタ23のカウントが2になり、イネーブル信号EN1及びEN2が共に低レベ

ルに遷移して、ブロックBL1及びBL2への電源電圧供給が停止される。

【0035】以下、このような光積分、読み出し及びパワーオフの期間がサイクリックに繰り返される。

【0036】消費電流は、例えば次の通りである。

【0037】画素アレイ10：約1mA

垂直走査回路11、サンプルホールド制御回路13、水平走査回路15、タイミング制御回路19及び電源制御回路22の合計消費電流：約3mA

サンプルホールド回路14：約2.5mA

増幅回路17：約8mA

A/D変換回路18：約12mA

参照電圧発生回路20：約0.5mA

ブロックBL2に含まれているサンプルホールド回路14、増幅回路17及びA/D変換回路18の合計消費電流は約22.5mAと比較的大きい。

【0038】本第1実施形態によれば、光積分期間において、ブロックBL2への電源電圧供給が停止し、さらに、パワーオフ期間ではブロックBL1及びBL2への電源電圧供給が停止するので、例えば10フレーム期間では、イメージセンサの消費電力を通常動作モード時の約1/3にすることが可能である。

【0039】〔第2実施形態〕図3は、本発明の第2実施形態の2次元イメージセンサの概略ブロック図である。

【0040】電源回路21Aは、低消費電力モードであっても、画素アレイ10には電源電圧を常に供給している。

【0041】低消費電力モードである時、電源回路21Aは、イネーブル信号EN1Aが活性である期間、垂直走査回路11に電源電圧を供給し、イネーブル信号EN1Aが不活性の期間、この供給を停止する。

【0042】電源制御回路22Aでは、カウンタ23の出力ビットQ0をインバータ24で反転した信号がイネーブル信号EN1であり、カウンタ23の出力ビットQ1がイネーブル信号EN2である。

【0043】他の点は、図1と同一構成である。

【0044】図4は、図3中の電源制御回路22Aの動作を示すタイムチャートである。

【0045】次に、上記の如く構成されたイメージセンサの動作を、低消費電力モードの場合について説明する。

【0046】初期状態では、カウンタ23のカウントが2であるとする。この状態では、垂直走査回路11及びブロックBL2に電源電圧が供給されている。

【0047】（第1光積分期間）垂直同期信号VSYNCの立ち上がりに応答してカウンタ23のカウントが0になり、イネーブル信号EN2が低レベルに遷移してブロックBL2への電源電圧供給が停止される。

【0048】垂直走査回路11は、タイミング制御回路

19からの制御信号にตอบสนองして、垂直走査を行なう。これにより、上述の垂直読み出し及びリセットが線順次に行なわれる。

【0049】(第2光積分期間)垂直同期信号VSYNCの立ち上がりに対応してカウンタ23のカウンタが1になり、イネーブル信号EN1Aが低レベルに遷移して垂直走査回路11への電源電圧供給が停止される。

【0050】これにより、画素アレイ10では光積分のみ行われる。

【0051】(読み出し期間)垂直同期信号VSYNCの立ち上がりに対応してカウンタ23のカウンタが2になり、イネーブル信号EN1及びEN2が高レベルに遷移して、ブロックBL1及びBL2へ電源電圧が供給される。

【0052】これにより、第1実施形態での読み出しと同じ動作が行われる。

【0053】以下、このような第1光積分、第2光積分及びパワーオフの期間がサイクリックに繰り返される。

【0054】本第2実施形態によれば、第1及び第2の光積分期間においてブロックBL2への電源電圧供給がオフであり、パワーオフに近い状態になるので、例えば15フレーム期間では、イメージセンサの消費電力を通常動作モード時の50%以下にすることが可能である。また、光積分時間が第1実施形態の2倍となつて、イメージセンサの感度が向上する。

【0055】なお、電源制御回路22Aの3進カウンタ23を4進以上のカウンタにすると共に論理構成を変更することにより、第2光積分期間を複数フレーム期間にして、光積分時間を第1実施形態より増やしてもよい。

【0056】[第3実施形態]図5は、本発明の第3実施形態の2次元イメージセンサの概略ブロック図である。

【0057】電源回路21Bは、低消費電力モードであっても、画素アレイ10及び垂直走査回路11には電源電圧を常に供給している。したがって、電源回路21Bにはイネーブル信号EN1が供給されない。

【0058】電源制御回路22Bでは、カウンタ23の出力ビットQ0とQ1とがオアゲート25に供給され、オアゲート25の出力がイネーブル信号EN2である。

【0059】他の点は、図1と同一構成である。

【0060】図6は、図5中の電源制御回路22Bの動作を示すタイムチャートである。

【0061】次に、上記の如く構成されたイメージセンサの動作を、低消費電力モードの場合について説明する。

【0062】初期状態では、カウンタ23のカウンタが2であるとする。この状態では、ブロックBL2に電源電圧が供給されている。

【0063】(光積分期間)垂直同期信号VSYNCの立ち上がりに対応してカウンタ23のカウンタが0にな

り、イネーブル信号EN2が低レベルに遷移してブロックBL2への電源電圧供給が停止される。

【0064】垂直走査回路11は、タイミング制御回路19からの制御信号にตอบสนองして、垂直走査を行なう。これにより、上述の垂直読み出し及びリセットが線順次に行なわれる。

【0065】(第1読み出し期間)垂直同期信号VSYNCの立ち上がりに対応してカウンタ23のカウンタが1になり、イネーブル信号EN2が高レベルに遷移してブロックBL2への電源電圧供給が停止される。

【0066】これにより、第1実施形態での読み出しと同じ動作が行われる。

【0067】(第2読み出し期間)垂直同期信号VSYNCの立ち上がりに対応してカウンタ23のカウンタが2になり、イネーブル信号EN2は高レベルを維持する。

【0068】これにより、上記読み出しと同じ動作が行われる。

【0069】以下、このような光積分、第1読み出し及び第2読み出しの期間がサイクリックに繰り返される。

【0070】本第3実施形態によれば、光積分期間においてブロックBL2への電源電圧供給がオフであるのでパワーオフに近い状態になり、イメージセンサの消費電力を通常動作モード時の約2/3にすることが可能である。さらに、3フレーム期間中2フレーム期間が読み出しであるので、フレームレートを第1実施形態の2倍にすることができる。

【0071】[第4実施形態]図7は、本発明の第4実施形態の2次元イメージセンサの概略ブロック図である。

【0072】このイメージセンサは、図1のそれに類似しており、図1中のイネーブル信号EN2がイネーブル信号EN21~EN23に分けられている点で第1実施形態と異なる。

【0073】低消費電力モードである時、電源回路21Cは、イネーブル信号EN21が活性である期間、サンプルホールド制御回路13、サンプルホールド回路14及び水平走査回路15に電源電圧を供給し、イネーブル信号EN21が不活性の期間、この供給を停止し、イネーブル信号EN22が活性である期間、増幅回路17に電源電圧を供給し、イネーブル信号EN22が不活性の期間、この供給を停止し、イネーブル信号EN23が活性である期間、A/D変換回路18に電源電圧を供給し、イネーブル信号EN23が不活性の期間、この供給を停止する。

【0074】電源制御回路22Cにおいて、論理回路26は、カウンタ23の出力ビットQ0及びタイミング制御回路19からのタイミング補正信号に基づいて、図8に示すような、立ち上がり及び立ち下がりが互いにずれたイネーブル信号EN21~EN23を生成する。

【0075】他の点は、図1と同一構成である。

【0076】上記構成の動作は、第1実施形態の説明及び図8から明らかであるので、その説明を省略する。

【0077】本第4実施形態によれば、上記ずれにより電流の急変が低減するので、電源電圧の変動が第1実施形態の場合よりも少なくなる。

【0078】なお、本発明には外にも種々の変形例が含まれる。

【0079】例えば上記第1実施形態において、フレームレートをさらに下げても問題ない場合には、パワーオフ期間を2垂直走査期間以上にしてもよい。

【0080】また、イメージセンサはA/D変換回路18を備えていない構成であってもよい。イメージセンサはMOS型に限定されず、CCD型などであってもよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態の2次元イメージセンサの概略ブロック図である。

【図2】図1中の電源制御回路の動作を示すタイムチャートである。

【図3】本発明の第2実施形態の2次元イメージセンサの概略ブロック図である。

【図4】図3中の電源制御回路の動作を示すタイムチャートである。

【図5】本発明の第3実施形態の2次元イメージセンサの概略ブロック図である。

【図6】図5中の電源制御回路の動作を示すタイムチャートである。

【図7】本発明の第4実施形態の2次元イメージセンサの概略ブロック図である。

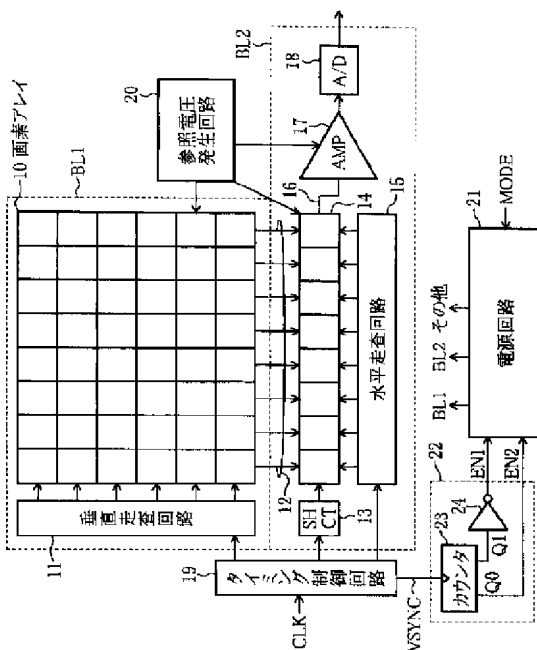
【図8】図6中の電源制御回路の動作を示すタイムチャートである。

【符号の説明】

- 10 画素アレイ
- 11 垂直走査回路
- 12 垂直バス
- 13 サンプルホールド制御回路
- 14 サンプルホールド回路
- 15 水平走査回路
- 16 水平バス
- 17 増幅回路
- 18 A/D変換回路
- 19 タイミング制御回路
- 20 参照電圧発生回路
- 21、21A～21C 電源回路
- 22、22A～22C 電源制御回路
- 23 カウンタ
- 24 インバータ
- 25 オアゲート
- 26 論理回路
- BL1、BL2 ブロック

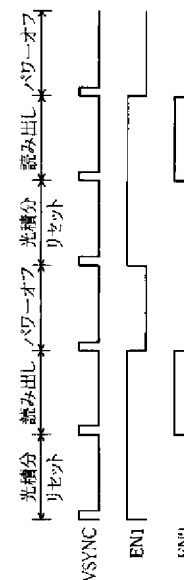
【図1】

本発明の第1実施形態の2次元イメージセンサの概略ブロック図



【図2】

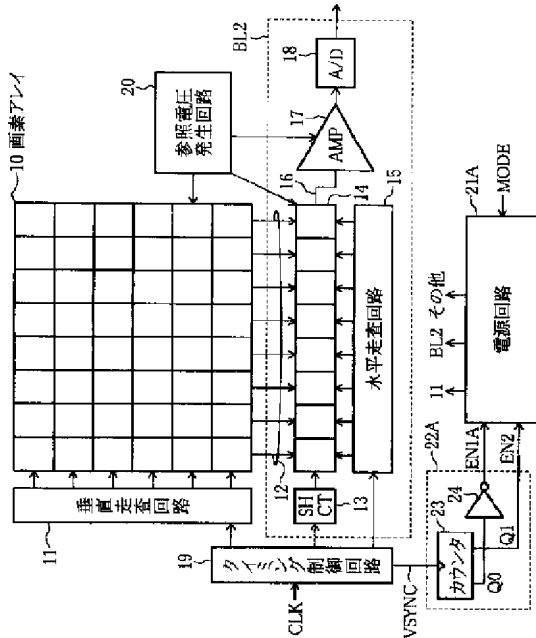
図1中の電源制御回路の動作を示すタイムチャート





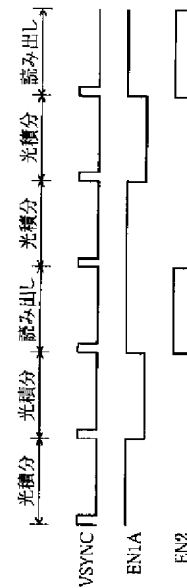
【図3】

本発明の第2実施形態の2次元イメージセンサの概略ブロック図



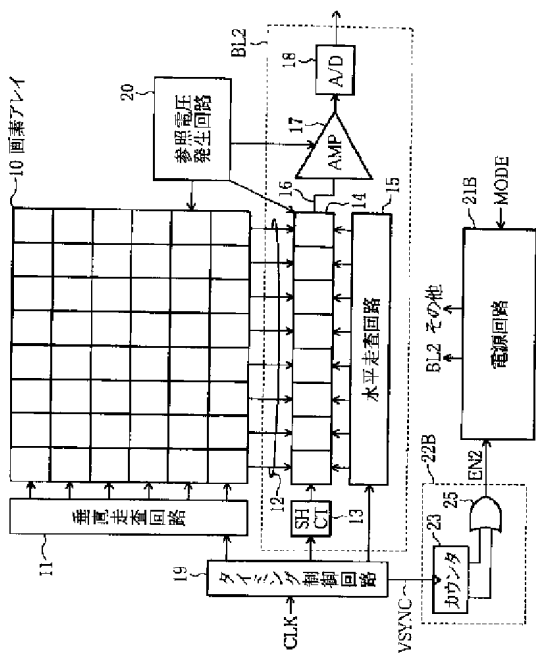
【図4】

図3中の電源制御回路の動作を示すタイムチャート



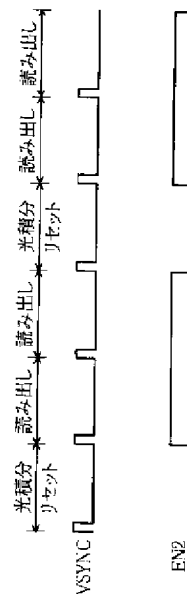
【図5】

本発明の第3実施形態の2次元イメージセンサの概略ブロック図



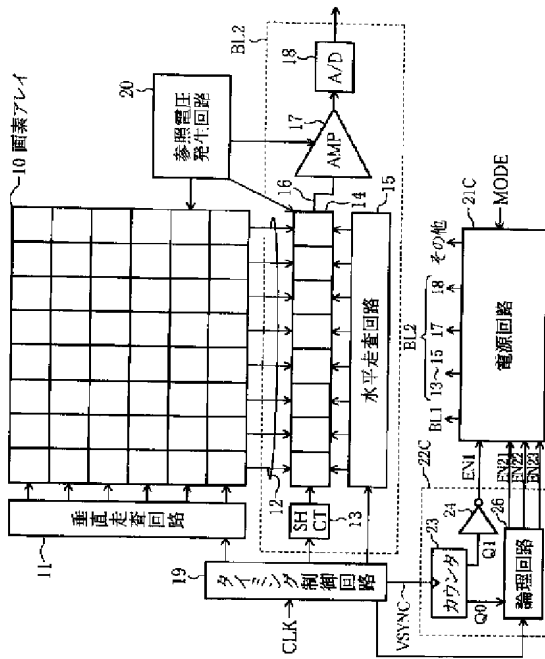
【図6】

図5中の電源制御回路の動作を示すタイムチャート



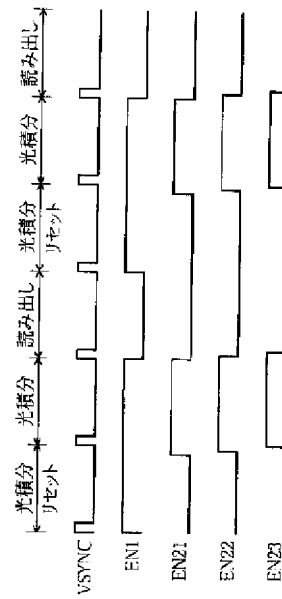
【図7】

本発明の第4実施形態の2次元イメージセンサの概略ブロック図



【図8】

図6中の電源制御回路の動作を示すタイムチャート



フロントページの続き

Fターム(参考) 5C024 CX06 CX61 CY06 GX03 GY35  
GY36 GZ32 HX02 HX13 HX23  
HX46 HX50 JX35